

JP 03012960 A

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

平3-12960

⑤ Int. Cl. ⁵

H 01 L 27/04

27/06

識別記号

C
P

庁内整理番号

9056-5F
9056-5F

⑬ 公開 平成3年(1991)1月21日

8728-5F H 01 L 27/06

1 0 1 D

審査請求 未請求 請求項の数 4 (全 10 頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平1-147538

⑯ 出 願 平1(1989)6月10日

⑰ 発 明 者 飯 田 真 喜 男 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

⑱ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地

⑲ 代 理 人 弁理士 恩 田 博 宣

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 能動素子とコンデンサと薄膜抵抗とを集積した半導体装置において、

能動素子を形成した半導体基板上の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置するとともに、当該半導体基板上のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とを順に積層したことを特徴とする半導体装置。

2. 能動素子を形成した半導体基板上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜を除去する第1工程と、

第1工程での絶縁膜除去部分に酸化膜を形成する第2工程と、

第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体を配置するとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置する第3工程と、

第3工程で形成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜をエッチング除去する第4工程と

からなる半導体装置の製造方法。

3. 薄膜抵抗体と配線金属との間にバリア金属を配置したことを特徴とする請求項1に記載の半導体装置。

4. シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜低抵抗と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、を有する請求項1に記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、能動素子とコンデンサと薄膜抵抗とを集積した半導体装置に関するものである。

〔従来技術〕

従来、C r S i 系薄膜抵抗はシート抵抗が高く、同時に抵抗の温度係数 (TCR) が小さいことに

より、ICやLSJに集積化する薄膜抵抗として用いられてきた。

〔発明が解決しようとする課題〕

しかし、精度の高いコンデンサを含んだICでは、薄膜抵抗のエッチング時にコンデンサ部分の誘電体となる酸化シリコン膜もエッチングされ、コンデンサの容量不良や絶縁耐圧不良になる問題があった。

この発明の目的は、容量不良や絶縁耐圧不良を回避して精度の高いコンデンサを有する半導体装置及びその製造方法を提供することにある。

〔課題を解決するための手段〕

第1の発明は、能動素子とコンデンサと薄膜抵抗とを集積した半導体装置において、

能動素子を形成した半導体基板上の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置するとともに、当該半導体基板上のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とを順に積層した半導体装置を要旨とする。

第2の発明は、能動素子を形成した半導体基板

- 3 -

装置を要旨とするものである。

〔作用〕

第1の発明は、能動素子を形成した半導体基板上の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体が配置されるとともに、当該半導体基板上のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とが順に積層される。その結果、コンデンサの酸化膜が薄膜抵抗体にて覆われ、薄膜抵抗体のエッチング時にコンデンサの酸化膜がエッチングされることにより発生するコンデンサの容量不良や絶縁耐圧不良が回避される。

第2の発明は、第1工程により能動素子を形成した半導体基板上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜が除去され、第2工程により第1工程での絶縁膜除去部分に酸化膜が形成され、第3工程により第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体が配置されるとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体が配置され、第4工程により第3工程で形

- 5 -

上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜を除去する第1工程と、第1工程での絶縁膜除去部分に酸化膜を形成する第2工程と、第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体を配置するとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置する第3工程と、第3工程で形成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜をエッチング除去する第4工程とからなる半導体装置の製造方法を要旨とする。

第3の発明は、第1の発明に加えて、薄膜抵抗体と配線金属との間にバリア金属を配置した半導体装置を要旨とする。

第4の発明は、第1の発明に加えて、シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜低抵抗と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、を有する半導体

- 4 -

成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜がエッチング除去される。その結果、マスク枚数を少なくして、第1の発明の半導体装置を製造することができる。

第3の発明は、第1の発明の作用に加え、薄膜抵抗体と配線金属との間にバリア金属が配置される。その結果、このバリア金属により薄膜抵抗体のエッチング時に、コンデンサの酸化膜がエッチングされることにより発生するコンデンサの容量不良や絶縁耐圧不良が回避される。

第4の発明は、第1の発明の作用に加え、薄膜抵抗として、シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜低抵抗と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、の2種類の抵抗値を持つものとなる。

〔実施例〕

以下、この発明を具体化した一実施例を図面に従って説明する。

- 6 -

第1図には本実施例の半導体装置を示し、第2～第6図にはその製造工程を示す。第1図に示すように、本実施例の半導体装置は、能動素子としてのバイポーラトランジスタ1とコンデンサ2と高い抵抗値を持つ薄膜高抵抗3と低い抵抗値を持つ薄膜低抵抗4とが集積されている。

第2図に示すように、(111)P型シリコン基板5に、アンチモンを不純物原子に用いN⁺型領域(埋込み層)6を形成する。次に、エピタキシャル法を用いて、2～3Ω・cmのN型領域7を形成する。そして、ボロン及びリンを不純物原子として1150℃で熱処理することによりアイソレーション領域8及びディープN⁺領域9を形成する。引き続き、熱処理中に形成される酸化シリコン膜をHF系エッチング液で除去した後、1000℃でwet O₂雰囲気中で6000Åの酸化シリコン膜10を形成する。

次工程を第3図を用いて説明すると、バイポーラトランジスタのベース形成領域11、バイポーラトランジスタのコレクタコンタクト形成領域1

- 7 -

2、コンデンサ形成部分13の酸化シリコン膜10を通常のエッチング技術を用いて除去する。次に、860℃でwet HCl酸化を用いて、そのエッチング部分に薄い酸化シリコン膜14を形成する。

そして、ボロンイオン注入を全面的に行うことにより、酸化シリコン膜10をイオン注入のストッパに用いホト工程なしでバイポーラトランジスタのベース領域にボロン原子を注入する。引き続き、1100℃で熱処理することによりバイポーラトランジスタのベース領域15が形成される。このとき、コレクタコンタクト領域12及びコンデンサ形成領域13にもボロンが注入されるが、ディープN⁺領域9がベース不純物濃度より濃いためこの領域がP型に反転することはない。

さらに、レジストをマスクにしてリンをイオン注入し、1050℃で熱処理することによりバイポーラトランジスタのエミッタ領域16が形成される。その結果、第3図のようになる。

次工程を第4図を用いて説明すると、常圧CV

- 8 -

D法を用いて全面にBPSG膜17を7000Å形成した後、950℃で熱処理を行ない段差部の平坦化処理(リフロー)を行なう。さらに、ホトエッチング技術を用いて、酸化シリコン膜14及びBPSG膜17におけるコンタクトホール形成領域18、19、20、21及びコンデンサ形成領域22を除去する。その結果、第4図のようになる。

次工程を第5図を用いて説明すると、wet HCl酸化により薄い酸化シリコン膜23を1000Å形成する。その後、スパッタ法を用いて全面にCrSi薄膜抵抗体24を200Åの厚さで形成し、さらに、その上にバリア金属としてのTiW膜25を1800Å形成する。そして、ホトエッチ技術を用いて、レジスト26をマスクにして薄い酸化シリコン膜23をストッパとして薄膜抵抗形成領域及びコンデンサ形成領域以外の前記CrSi薄膜抵抗体24及びTiW膜25を除去する。その結果、第5図のようになる。

次工程を第6図を用いて説明すると、レジスト

- 9 -

26を残したまま、HF系エッチング液でコンタクトホール形成領域18、19、20、21における薄い酸化シリコン膜23を除去すると、コンタクトホールが第6図のように形成される。このとき、BPSG膜17と薄い酸化シリコン膜23のエッチング速度はほとんど同じのため、PSG膜を使用した場合に比べBPSG膜17の膜厚減少はほとんどない。

次工程を第1図を用いて説明すると、スパッタ法を用いアルミ配線層27を形成した後、ホトエッチング技術を用いて薄膜高抵抗3のTiW膜25を除去した後、450℃、H₂-N₂ガス中でアルミニウム化する。その結果、高い抵抗値を持つ薄膜高抵抗3と低い抵抗値を持つ薄膜低抵抗4が形成される。即ち、CrSiのシート抵抗500Ω/□とCrSi+TiW積層構造のシート抵抗10Ω/□の2種類の薄膜抵抗3、4が形成される。このようにして、2つの薄膜抵抗3、4とコンデンサ2とバイポーラトランジスタ1とを集積した半導体装置が形成される。このとき、アルミ

シンタの際の熱処理時に、TiW膜25はCrSi薄膜抵抗体24とアルミ配線の相互拡散による抵抗値変化及びTCR（抵抗温度係数）変化防止の働きをする。

このように本実施例においては、バイポーラトランジスタ1（能動素子）を形成したシリコン基板（ディープN⁺領域9）上の酸化シリコン膜10（絶縁膜）上の薄膜抵抗形成領域にCrSi薄膜抵抗体24を配置するとともに、シリコン基板上のコンデンサ形成領域の誘電体となる酸化シリコン膜23上にCrSi薄膜抵抗体24とTiW膜25（バリア金属）とアルミ配線層27（配線金属）とを順に積層し、コンデンサ部分をAl/TiW/CrSi/SiO₂構造とした。その結果、通常のコンデンサ構造であるシリコン基板（ディープN⁺領域）の上に酸化シリコン膜と配線金属とを順に積層したAl/SiO₂構造に比べ、コンデンサの酸化シリコン膜23がCrSi薄膜抵抗体24とTiW膜25にて覆われ、酸化シリコン膜23は熱酸化により形成された後、エ

- 11 -

4と、この二層構造での配線電極以外のシート抵抗が低いTiW膜25（薄膜抵抗体）が除去されてなる薄膜高抵抗3とを配置した。即ち、薄膜抵抗3、4はシート抵抗500Ω/□（CrSi）とシート抵抗10Ω/□の（CrSi+TiW積層構造）の2種類を形成できる。従来では複数の抵抗値をもつ複数の抵抗素子を集積化するときには基板全面にCrSi等を蒸着等で形成した後に所望の抵抗値となるように種々の長さ及び幅のパターンになるようにエッチングしていたが、この従来方法では薄膜抵抗体のシート抵抗が一種類のため必要とする抵抗体の抵抗値によっては抵抗体のパターン面積が広くなりチップ面積が拡大して歩留りの低下やコストアップを招くという問題があった。しかしながら、本実施例ではそのようなことがなく、抵抗体パターン面積を小さくできチップ面積が小さくでき、さらに、薄膜抵抗形成工程が簡単なので半導体装置の小形化とコストダウンを図ることができる。

さらに、CrSi+TiW積層構造抵抗（薄膜

- 13 -

ッチング雰囲気にはさらされることが全くないので、膜厚減少やピンホールの発生がなく、コンデンサの容量不良や絶縁耐圧不良の発生がない。又、アルミシンタ時及びIC製造後のIC使用時の高温雰囲気下においてTiWやCrSiがバリア層の役目を果し、 $4Al + 3SiO_2 \rightarrow 2Al_2O_3 + 3Si$ 反応が防止され、酸化シリコン膜23の食われがない。これは、TiWが高密度でありAlが拡散しないこと、及び、Cr、W、Tiの酸化物の生成自由エネルギーの絶対値がアルミ酸化物に比べ小さくSiO₂と反応しにくいためである。

又、第7図に示すように、上述したTiW膜25を用いずに、シリコン基板（ディープN⁺領域9）の上に誘電体となる酸化シリコン膜23とCrSi薄膜抵抗体24と配線金属（アルミ配線層27）とを順に積層し、Al/CrSi/SiO₂構造としてもよい。

さらに、本実施例では、シート抵抗が高いCrSi薄膜抵抗体24上にシート抵抗が低いTiW膜25（薄膜抵抗体）を積層してなる薄膜低抵抗

- 12 -

低抵抗4）は膜厚が2000Åであり、CrSi薄膜抵抗（薄膜高抵抗3）の膜厚の200Åに比べ10倍厚く、容断許容電流値を大きくできる。従って、サージやノイズに強く、モリシックICの入力保護抵抗に用いることができる。

さらには、薄膜抵抗3、4とコンデンサ2とバイポーラトランジスタ1とを集積化するときの製造工程として、バイポーラトランジスタ1（能動素子）を形成したシリコン基板上に形成された酸化シリコン膜10、14（絶縁膜）のうちコンデンサ形成領域22とコンタクトホール形成領域18、19、20、21の酸化シリコン膜14（絶縁膜）を除去する第1工程と、第1工程での酸化シリコン膜14（絶縁膜）除去部分に酸化シリコン膜23を形成する第2工程と、第2工程で形成した酸化シリコン膜23のうちのコンデンサ形成領域22の酸化シリコン膜23上にCrSi薄膜抵抗体24を配置するとともに、酸化シリコン膜10（絶縁膜）上の薄膜抵抗形成領域にCrSi薄膜抵抗体24を配置する第3工程と、第3工程

- 14 -

で形成したコンデンサ形成領域 22 の Cr Si 薄膜抵抗体 24 をマスクとして第 2 工程で形成したコンタクトホール形成領域 18, 19, 20, 21 の酸化シリコン膜 23 をエッチング除去する第 4 工程とを設けた。よって、従来ではバイポーラトランジスタ 1 に対し薄膜抵抗 3, 4 とコンデンサ 2 とを集積化するときにはマスク枚数の増加や工程数が増加してコストアップとなっていたが、本実施例ではそのようなことがなく、バイポーラトランジスタ 1 の製造工程に対しマスクを一枚追加するだけでコンデンサ 2 と薄膜抵抗 4 を形成することができる。さらに、マスクをもう一枚追加するだけで薄膜抵抗 3 を形成することができることとなる。

又、コンタクトホールは、コンデンサ部分の薄い酸化シリコン膜 23 が Cr Si 薄膜抵抗体 24、TiW 膜 25 及びレジスト 26 にて覆われているので、ホト工程なしのウォッシュアウト法を用いて形成できる。

従来、Cr Si 系薄膜の下地には PSG 膜が用

- 15 -

いられ Cr Si 系薄膜のエッチングの際に PSG 膜がエッチングされるという問題があったが、本実施例のように、BPSG 膜 17 を用いるとエッチング速度が酸化シリコン膜 23 とほぼ同じであり、PSG 膜では酸化シリコン膜 23 よりエッチング速度が 2~3 倍速いという欠点が回避される。これにより、コンタクトウォッシュアウト時や Cr Si 薄膜抵抗体 24 のエッチング時のフィールド膜（酸化シリコン膜 10）の膜厚の減少やリン量の減少が防止される。

さらに、バイポーラトランジスタのエミッタ拡散時に PSG 膜が形成され、素子部の PSG 膜が除去されると Na 等の可動イオンのゲッタリング効果がなくなり高温特性不良や信頼性不良となる欠点があったが、本実施例では BPSG 膜 17 を使用しており、Na などの可動イオン汚染のゲッタリングとして重要なリンは、BPSG 膜 17 中に深さ方向に広い範囲で存在している。このため、Cr Si 薄膜抵抗体 24 のエッチングに用いる HF 系エッチング液、あるいは CF₄ 系エッチング

- 16 -

ガスによるエッチング時のリン量の減少が少ない。又、バイポーラトランジスタのエミッタ領域 16 をイオン注入により形成したので、ガス拡散にて形成する場合に比べてバラツキが少なく高い安定した素子特性が得られる。

尚、この発明は上記実施例に限定されるものではなく、例えば、能動素子はバイポーラトランジスタの他にも MOS トランジスタであってもよく、CMOS IC、Bi-MOS IC、Bi-CMOS IC に適用しても良い。又、I²L など他の能動素子や受動素子を含んだバイポーラ IC に適用しても良い。さらに、絶縁膜は LOCOS 酸化膜等でもよい。

〔発明の効果〕

以上詳述したようにこの発明によれば、容量不良や絶縁耐圧不良を回避して精度の高いコンデンサを有する半導体装置を提供することができる優れた効果を発揮する。

4. 図面の簡単な説明

第 1 図は実施例の半導体装置を示す断面図、第

- 17 -

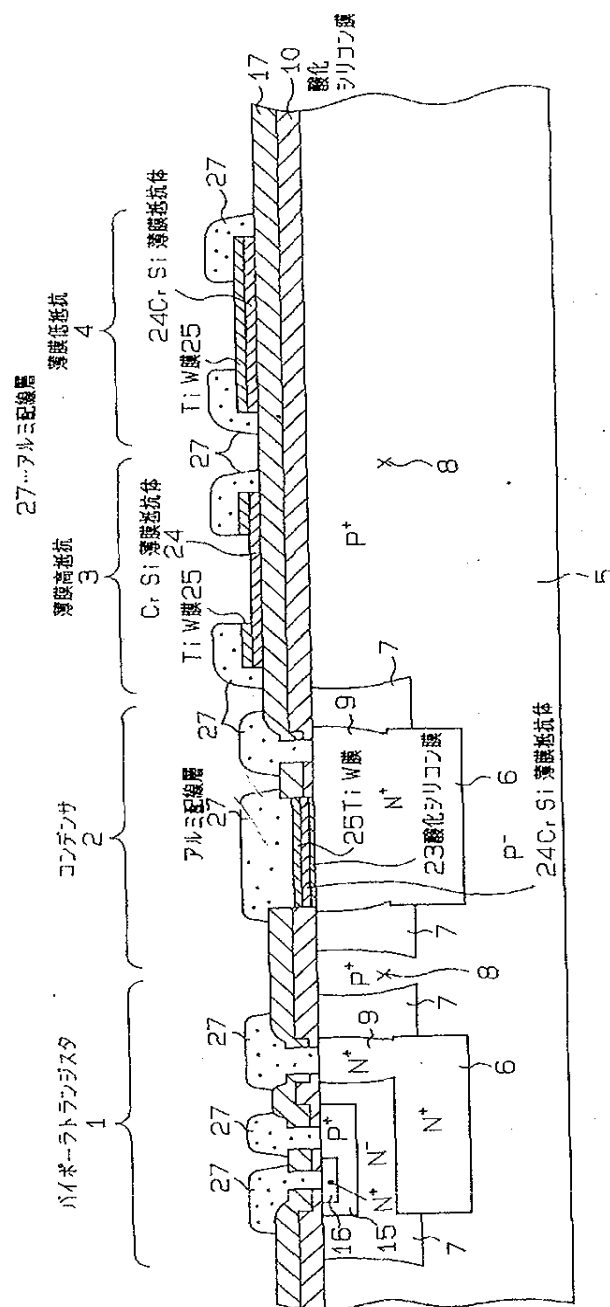
2 図は半導体装置の製造工程を説明するための断面図、第 3 図は半導体装置の製造工程を説明するための断面図、第 4 図は半導体装置の製造工程を説明するための断面図、第 5 図は半導体装置の製造工程を説明するための断面図、第 6 図は半導体装置の製造工程を説明するための断面図、第 7 図は別例の半導体装置を示す断面図である。

1 はバイポーラトランジスタ、2 はコンデンサ、3 は薄膜高抵抗、4 は薄膜低抵抗、10 は絶縁膜としての酸化シリコン膜、14 は絶縁膜としての酸化シリコン膜、18 はコンタクトホール形成領域、19 はコンタクトホール形成領域、20 はコンタクトホール形成領域、21 はコンタクトホール形成領域、22 はコンデンサ形成領域、23 は酸化シリコン膜、24 は Cr Si 薄膜抵抗体、25 はバリア金属としての TiW 膜、27 は配線金属としてのアルミ配線層。

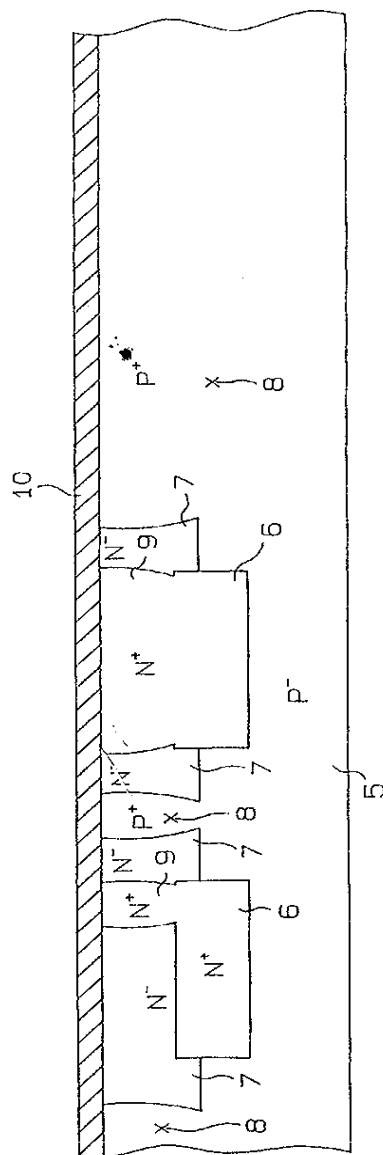
特許出願人 日本電装 株式会社
代理人 弁理士 恩田 博宣

- 18 -

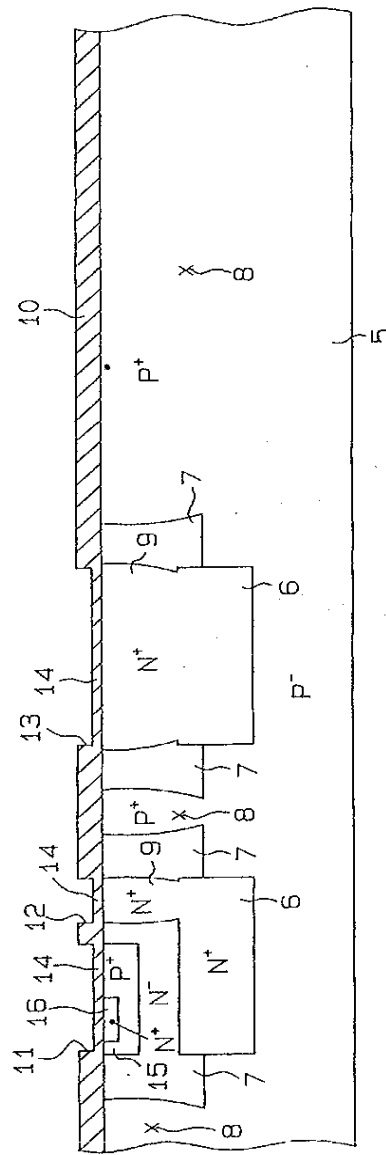
张
一
[X]



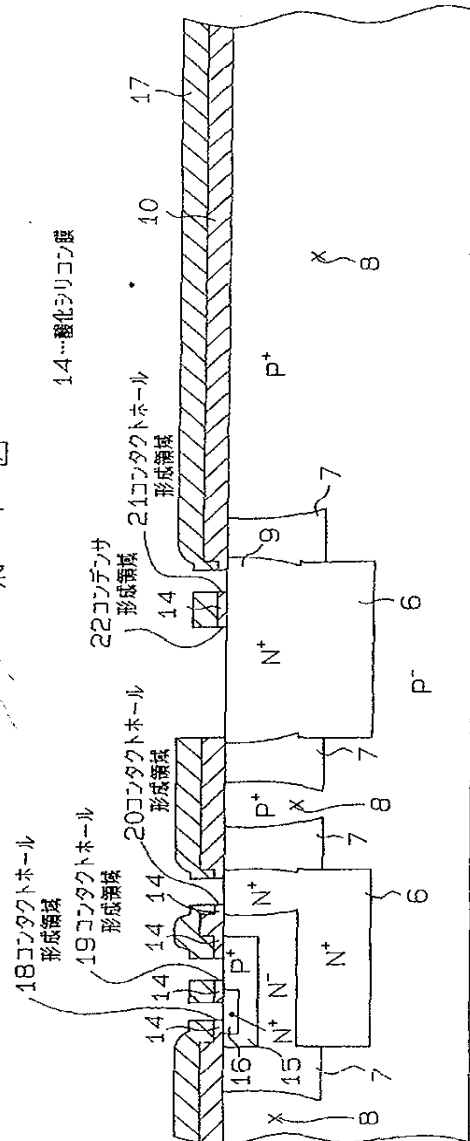
第 2 図



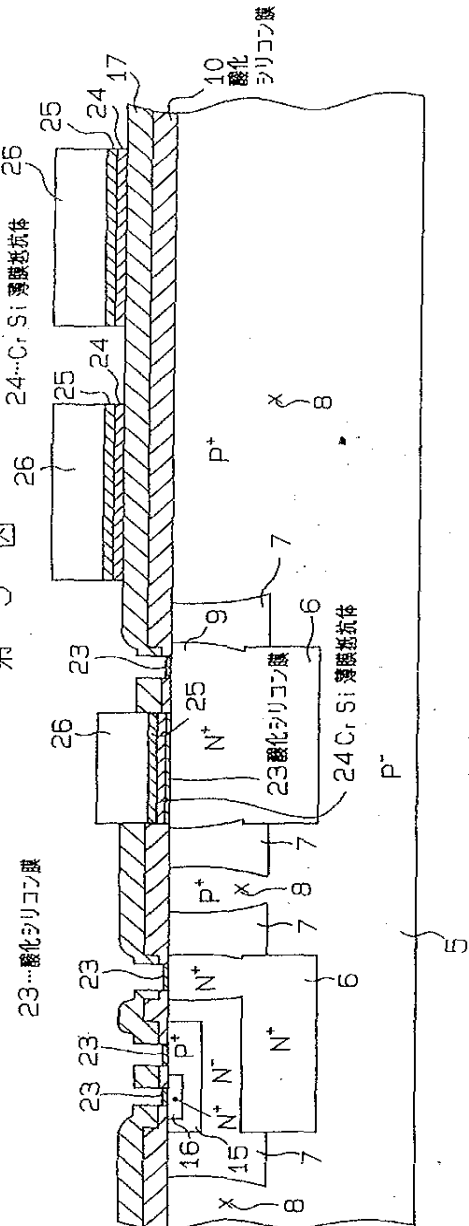
第 3 図



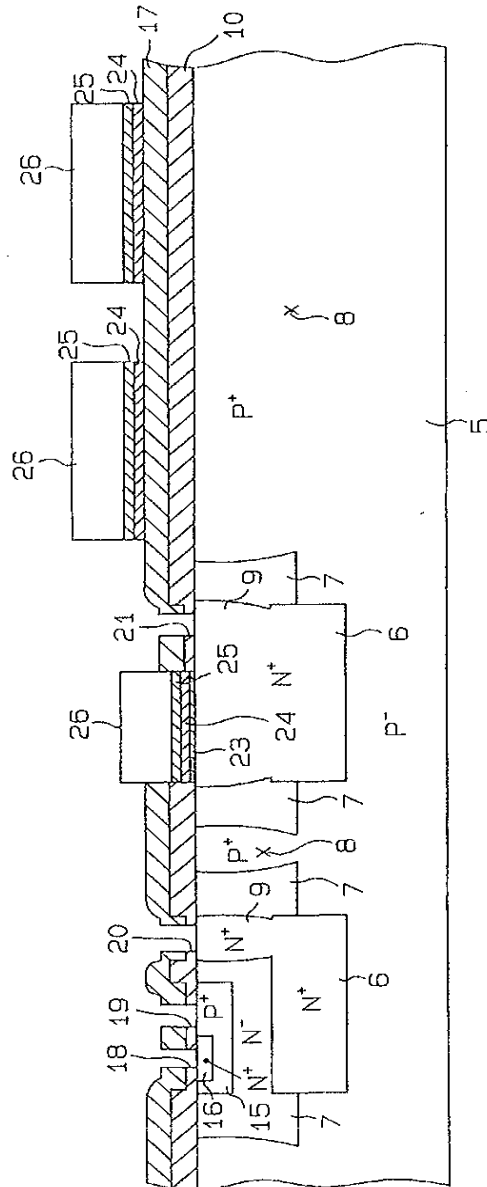
第 4 図



第 5 図



第 6 図



第 7 図

